



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63304229 A**(43) Date of publication of application: **12.12.88**

(51) Int. Cl.

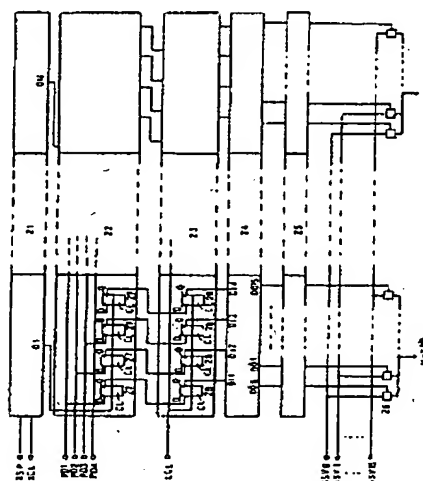
**G02F 1/133**(21) Application number: **62140386**(22) Date of filing: **04.06.87**(71) Applicant: **SEIKO EPSON CORP**(72) Inventor: **UCHIDA MASAHIRO  
MURATA MASAMI**(54) **DRIVING CIRCUIT FOR LIQUID CRYSTAL PANEL** relatively low bit number is thereby obtd.

(57) Abstract:

COPYRIGHT: (C)1988,JPO&amp;Japio

**PURPOSE:** To obtain a driving means best suited for a large-capacity display of a low bit gradation number by constituting a titled circuit of shift registers, a latch A circuit of K bit parallel, a latch B circuit which simultaneously latches the data thereof, and analog switch groups for selecting one among gradation signals, etc.

**CONSTITUTION:** This circuit is constituted of the shift registers 21 of the number of M-stages in the number of source lines, the latch A circuit 22 which latches K bits of the data controlled by the output of the respective stages of the shift registers 21 in parallel, the latch B circuit 23 which simultaneously latches the data of the circuit 22, a decoder 24 and analog switch groups 26 which select 2K pieces of the voltages inputted from the outside by K bits of the latched data, as well as a level shifter 25 which matches the logic levels of the decoder 24 and the analog switches 26 (L, M, K are positive integers). The optimum means for driving the display which displays a large volume of digital information and makes the gradation display of a



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A)

昭63-304229

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)12月12日

G 02 F 1/133

3 3 2

8708-2H

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 液晶パネルの駆動回路

⑯ 特 願 昭62-140386

⑰ 出 願 昭62(1987)6月4日

⑱ 発 明 者 内 田 雅 秀 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 発 明 者 村 田 雅 巳 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑳ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉑ 代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1. 発明の名称

液晶パネルの駆動回路

## 2. 特許請求の範囲

M本のソース線とN本のゲート線を設け(M、Nは正整数)、各交点に1つの薄膜トランジスタ(以下にTFTと略す)画素電極を形成した、いわゆるアクティブマトリックス方式の液晶パネルの駆動回路において、ソース線数Mの段数のシフトレジスタ、該シフトレジスタの各段の出力によって制御されるKビットのデータを並列にラッチする回路(Kは正整数)、該ラッチ回路のデータを一括でラッチするラッチ回路、該Kビットのラッチデータによって外部から入力された2<sup>K</sup>個の電圧を選択するデコードとアナログスイッチ群及び該デコードと該アナログスイッチのロウツクレベルを合わせるシフトレジスタから構成されることを特徴とする液晶パネルの駆動回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はTFT素子を使う、いわゆるアクティブマトリックス液晶パネルの駆動回路に関する。(従来の技術)

TFTを用いた、いわゆるアクティブマトリックス方式の液晶パネルはポケットTV用のディスプレイとして商品化が図られた。すなわち、最初は、画面サイズは2インチで画素数は横240×縦220程度のビデオ信号入力のディスプレイであった。このようなディスプレイには、アナログのビデオ信号を直接パネルに供給するアナログ点順次やアナログ線順次などの駆動方式が採用されていた。第2図は現在、主に採用されているアナログ線順次方式の駆動のパネルブロック図である。Xドライバー1、Yドライバー2、アクティブマトリックスパネル3から構成されている。Xドライバーは更にM段のシフトレジスタ4、2段Mケのサンプルホールド回路群5及び6から成っ

ている。サンプルホールドの各段は各々アナログスイッチ7及び10、サンプルホールド用のコンデンサ8及び11、バッファアンプ9及び12から構成されている。アナログスイッチ7のコントロール端子はシフトレジスタ4の各段の出力に結ばれ、アナログスイッチ10のコントロール端子は全段とも共通に結ばれラッチクロックLCLとしてとり出されている。アナログスイッチ7の入力端子は全段共通に結ばれVIDEO信号が入力される。アナログスイッチ10の入力端子にはバッファアンプ9の出力が繋がれ、また、バッファアンプ12の出力はアクティブマトリックスパネル3を縦方向に走るソース線15に繋がれる。XSP及びXCLはシフトレジスタ4のスタートパルス及びクロック信号である。

Yドライバー2はN段のシフトレジスタ13と各段の出力に繋がれたN本のバッファアンプ14から構成されている。また、各バッファアンプ14の出力はゲート線16に繋がれている。

アクティブマトリックスパネル3は縦方向に走

るM本のソース線15、横方向に走るN本のゲート線16、さらに、各々の線の交点にある画素トランジスタ17、画素電極18と共通電極19から構成されている。

一本のゲート線16が選択されている期間(1水平走査期間、以下1Hと略す)にXドライバーにはXSPが1発入力され、XCLによりシフトレジスタ4の内を転送される。この時、シフトレジスタの各段の出力により、VIDEO信号レベルがサンプルホールド5にラッチされる。1Hの走査が終了した時点でラッチパルスLCLを加え、全段を一括して、サンプルホールド6にラッチする。次の1H期間中、この信号によりパネルの書き込みを行なうのである。この時、サンプルホールド5は次のゲートラインのVIDEO信号を取り込む。

(発明が解決しようとする問題点)

しかし、前述の従来技術では、より大容量で、比較的低ビットの階調表示が要求される用途に使う場合には種々の問題点が発生する。ここでは、

さらに、表示されるデータの処理がデジタル的に行なわれ、最終的にビデオRAM(RAMはランダムアクセスメモリの略、以下にVRAMと略す)に保存されたデジタルのデータで表示を行なう形式のシステムについての問題点をあげる。

大容量ディスプレイの場合には、画面サイズも5~8インチ以上、12~14インチ程度まで考えられるが、画面が大型化すると必然的に画素数も増やす必要がある。いま、横の画素数M本の画素数Nのディスプレイをリフレッシュ周波数 $f_r$  Hzで表示する時の1水平走査期間(以下に1H期間と呼ぶ)、 $T_H$ は次の式で表わされる。

$$T_H = 1 / (N \times f_r) \quad (\text{sec})$$

従って、すべてのXドライバーをカスケードに組んで単相のクロックでデータをサンプリングする時のクロック周波数 $f_{cl}$

$$f_{cl} = M / T_H \\ = M \times N \times f_r \quad (\text{Hz})$$

となる。例えば、 $M=1000$ 、 $N=1000$ 、リフレッシュ周波数 $f_r=100$  (Hz)とする

と、 $f_{cl}=100$  (MHz)となる。ところが、このように高速で動作するドライバーICを実現することは非常に難しい。そこで、考えられるのがXドライバーをカスケード接続にせず、いくつかに分け、データを並列に入力する方式である。このように、Xドライバーをk個に分け、各々を並列にデータをサンプリングさせれば、Xドライバーのサンプリング周波数は $f_{cl}/k$ となり、高速化の要求は低減される。

第3図は、上記の並列入力方式を採用し、Xドライバーに2個のアナログ線順次ドライバーを使い、表示データをデジタルで入力する方式のディスプレイシステムのブロック図である。アクティブパネル3のXドライバーとして2つのアナログ線順次ドライバー1が接続され、各ドライバーのビデオ入力端子には、VRAM1、2からのデジタルのデータをアナログのビデオ信号VIDEO<sub>1</sub>及びVIDEO<sub>2</sub>に変換するためのD/A変換器20がついている。当然、アナログドライバーには他の必要なクロック等は入力されるが、ここで

は理論には関係ないので省く。また、パネルには Yドライバ 2 が接続されている。このような構成を採用した場合でも、D/A変換器の動作スピードは高速が要求される。また、2つのD/A変換器のアナログ出力の間のオフセット電圧が発生するとパネルの右半分と左半分のコントラストが異なり境界の部分に縦線が生ずることが考えられる。

そこで、本発明はこのような問題点を解決するもので目的とするところは、大容量のデジタル情報を表示するディスプレイで、比較的低ビット数の階調表示を行なうディスプレイを駆動する最適な手段を提供することにある。

(問題点を解決するための手段)

本発明の液晶パネルの駆動回路は、M本のソース線と、N本のゲート線を設け (M、Nは正整数)、各交点に1つの薄膜トランジスタ素子電極を形成した、いわゆるアクティブマトリックス方式の液晶パネルの駆動回路において、ソース線数、Mの段数のシフトレジスタ、該シフトレジ

スタの各段の出力によって制御されるKビットのデータを並列にラッチするラッチA回路 (Kは正整数)、該ラッチA回路のデータを一括してラッチするラッチB回路、該Kビットのラッチデータによって外部から入力された2<sup>K</sup>個の電圧を選択するデコードとアナログスイッチ群及び該デコードと該アナログスイッチのロジックレベルを合わせるレベルシフトから構成されることを特徴とする液晶パネルの駆動回路。

(実施例)

第1図は本発明の実施例の液晶パネルの駆動回路のXドライバのブロック図であり、シフトレジスタ21、Kビット (ここではK=4) 並列のラッチA回路22、一括してラッチするラッチB回路23、4ビットのD11~D14をデコードして16ケのD00~D015を作り出すデコード24、デコードの出力を液晶駆動電圧まで持ち上げるレベルシフト25、該レベルシフトの出力をコントロール端子に持ち、2<sup>K</sup>=16レベルの階調信号のうち1つを選択するアナログスイッチ

群26から構成されている。ここで、ラッチA回路22及びラッチB回路23の各段の内部にはハーフラッチ27及び28がおのおの4ケずつ図のように接続されている。従って、ラッチA回路22の各段は、該当するシフトレジスタ21の段の出力Q<sub>n</sub> (nは1~Mの整数) に同期して、4ビットのPD1~PD4を取り込む。このようにして、ラッチされたデータは一括してラッチバルスレシでラッチB回路23に取り込まれる。ラッチB回路23にラッチされたデータは各段ごと、デコード24によりデコードされる。表1にはデコードの4つの入力D11~D14とデコードの16ケの出力D00~D015の真理値表とこの時のドライバの出力電圧がまとめてある。即ち、D11~D14のデータにより、D01~D015のうちの1つが選択され、レベルシフト25を介して、16ケのアナログスイッチ群26の内の1つが選択され、これに該当する16ケの液晶駆動の階調レベルGSV0~GSV15の内の1つがドライバの出力としてソース線15へ供給

されるのである。

表 1

		ドライバ出力電圧															
		GGGGGGGGGGGGGGGGGG															
		SSSSSSSSSSSSSSSSSS															
		VVVVVVVVVVVVVVVVVV															
		D123456789101112131415															
デ コ ー ダ	D11	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	D12	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	D13	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
	D14	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
デ コ ー ダ  出 力	D00	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	D01	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	D02	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	D03	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
	D04	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
	D05	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
	D06	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
	D07	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
	D08	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0



第3図 …… アナログ順次駆動回路とD/A変換器を組合せた液晶駆動システムの1例のブロック図。

20 …… D/A変換器

第4図 …… 第1図の駆動タイミング図

29 …… クロック信号(XCL)(1)

30 …… スタートパルス(XSP)(1)

31 …… データ入力信号(PD1~4)

(1)

32 …… シフトレジスタ1段目出力(Q<sub>1</sub>)

33 …… " 2 " (Q<sub>2</sub>)

34 …… " 3 " (Q<sub>3</sub>)

35 …… " M " (Q<sub>M</sub>)

36 …… ラッチA回路1段目出力信号(Q<sub>A</sub>)

(1)

37 …… " 2 " (Q<sub>A</sub>)

(1)

38 …… " 3 " (Q<sub>A</sub>)

(1)

39 …… " M " (Q<sub>A</sub>)

\*)

40 …… ラッチクロック入力信号(LCL)

(1)

41 …… ラッチB回路出力入号(Q<sub>B</sub>)

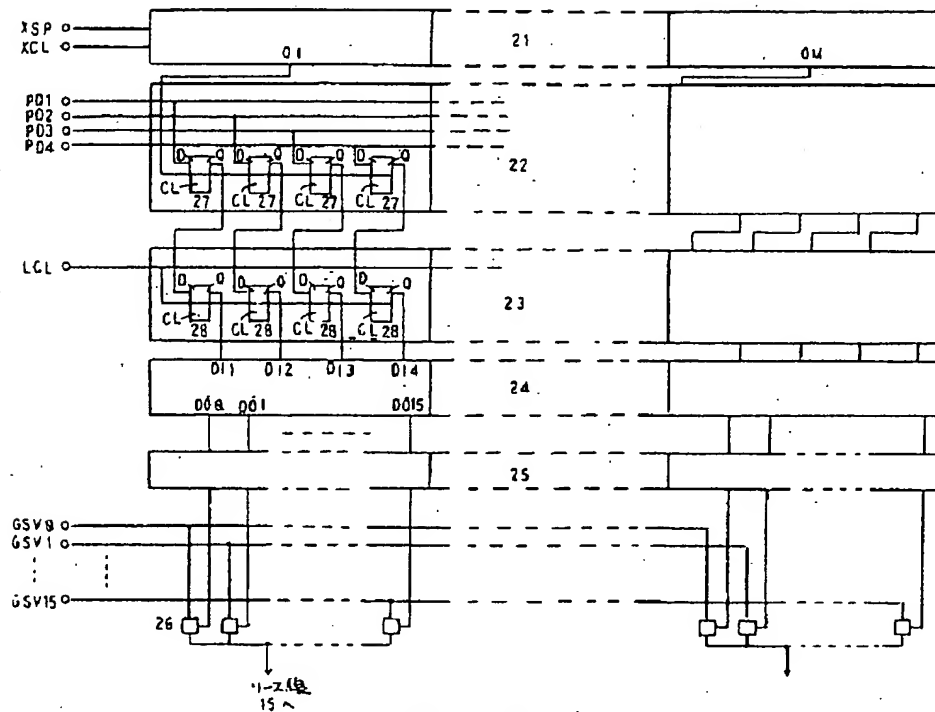
42 …… アナログ出力信号(O)

( ) 内はシンボル(1)は外部入力信号を意味する。

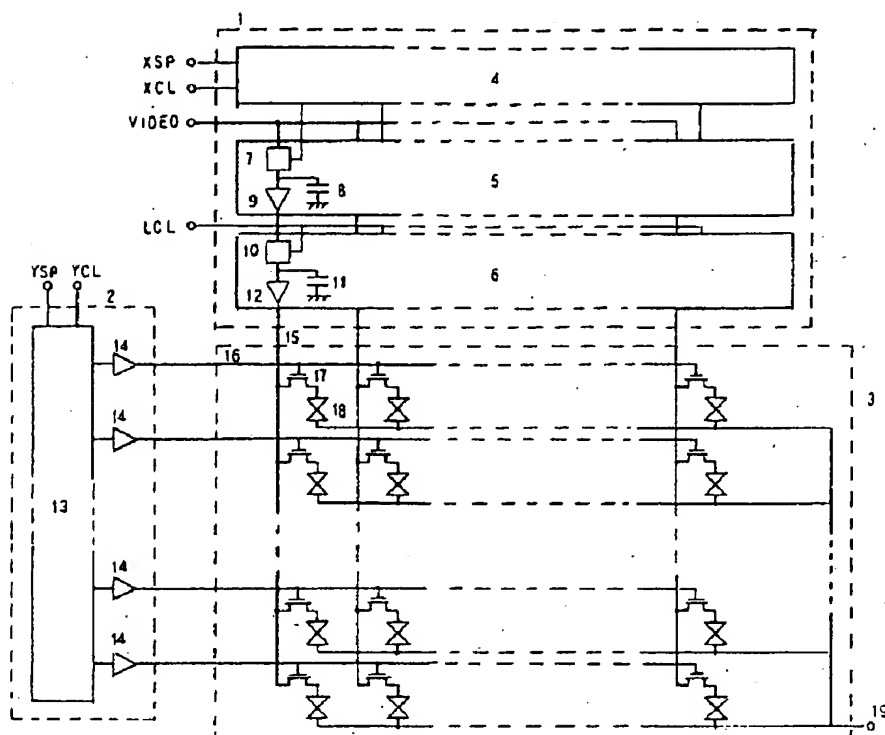
以上

出願人 セイコーエプソン株式会社

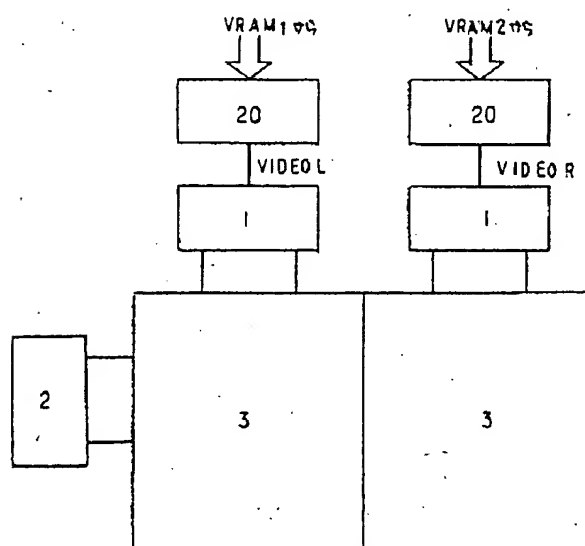
代理人 井理士 最上 務 他1名



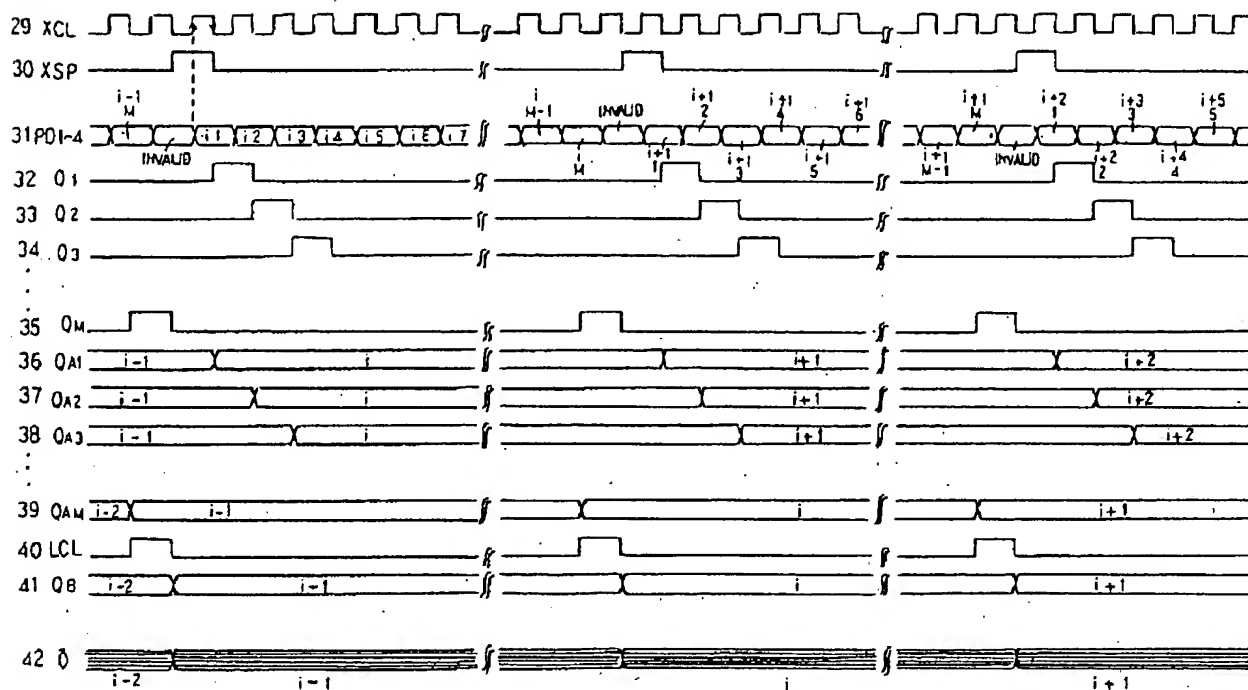
第1図



第 2 図



第 3 図



第 4 図